

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 1 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 0 5 8 5 9
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 0 5 8 5 9]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 1 0 月 1 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 J0094755

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/336
H01L 27/092
H01L 29/784

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 野田 貴史

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤網 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体層上に設けられたゲート絶縁膜と、
前記ゲート絶縁膜上に設けられたゲート電極と、
前記ゲート電極の両側にある半導体層に設けられたソース・ドレイン領域とを
備え、

前記ソース・ドレイン領域は、
前記ゲート電極の両側にある半導体層に特定の不純物が導入されて設けられた
第 1 の不純物拡散層と、

前記第 1 の不純物拡散層のゲート電極側とは反対側の半導体層に連続して設け
られた第 2 の不純物拡散層とから構成され、

前記第 1 の不純物拡散層には、
前記特定の不純物の半導体層への拡散を抑制する拡散抑制用の不純物が導入さ
れていることを特徴とする半導体装置。

【請求項 2】 前記ゲート電極下の半導体層に前記拡散抑制用の不純物が導
入されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 半導体層にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上にゲート電極を形成する工程と、
前記ゲート電極をマスクにして、特定の不純物の半導体層への拡散を抑制する
拡散抑制用の不純物を半導体層に導入する工程と、

前記拡散抑制用の不純物が導入された半導体層に前記特定の不純物を導入して
、第 1 の不純物拡散層を形成する工程と、

前記第 1 の不純物拡散層が形成された半導体層のゲート電極から所定の距離だ
け離れた領域に任意の不純物を導入して第 2 の不純物拡散層を形成する工程とを
有することを特徴とする半導体装置の製造方法。

【請求項 4】 特定の不純物の半導体層への拡散を抑制する拡散抑制用の不
純物を半導体層に導入すると共に、当該半導体層にゲート絶縁膜を形成する工程
と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記ゲート電極をマスクにして前記特定の不純物を半導体層に導入し第 1 の不純物拡散層を形成する工程と、

前記第 1 の不純物拡散層が形成された半導体層のゲート電極から所定の距離だけ離れた領域に任意の不純物を導入して第 2 の不純物拡散層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 5】 前記拡散抑制用の不純物を半導体層に導入すると共に、当該半導体層にゲート絶縁膜を形成する工程は、

前記拡散抑制用の不純物を含むゲート絶縁膜を前記半導体層に形成して当該拡散抑制用の不純物を該半導体層に拡散させる工程であることを特徴とする請求項 4 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に係り、特に、0. 1 3 μ m 世代以降の p M O S トランジスタを有する低消費電力型 L S I に適用して好適な半導体装置及びその製造方法に関するものである。

【0 0 0 2】

【従来の技術】

近年、半導体装置の微細化及び高集積化はますます進みつつあり、半導体基板に形成される M O S トランジスタのゲート長はサブミクロンクラスにまで縮小されつつある。このようなサブミクロンクラスの M O S トランジスタでは、L D D 構造が広く採用されている。

【0 0 0 3】

図 7 は従来例に係る半導体装置 9 0 の構成例を示す断面図である。図 7 に示すように、この半導体装置 9 0 は n 型のシリコン基板 1 上に p M O S トランジスタ 9 5 を備えている。図 7 に示すように、この p M O S トランジスタ 9 5 には、L D D 構造が採用されている。即ち、シリコン基板 1 にボロン (B⁺) イオンが選択的に注入され、そして熱拡散されて、低濃度のソース／ドレイン拡張層 (ソー

ス／ドレイン エクステンション) 92と、高濃度のソース／ドレイン層 93とが設けられたものである。

【0004】

このLDD構造を採用することによって、MOSトランジスタ 95のソース・ドレイン領域を電気抵抗の増大を抑制したまま薄く形成できる。それゆえ、半導体装置 90をサブミクロンクラスにまで縮小化しても、パンチスルーやリーク電流等の短チャネル効果のある程度抑制できる。

【0005】

【特許文献1】

特開平5-21735号公報

【0006】

【発明が解決しようとする課題】

ところで、従来例に係る半導体装置 90によれば、pMOSトランジスタ 95にはLDD構造が採用され、シリコン基板 1に低濃度のソース／ドレイン拡張層 92と、高濃度のこのソース／ドレイン層 93とが設けられていた。

しかしながら、これらのソース／ドレイン拡張層 92と、ソース／ドレイン層 93は共にボロン (B^+) イオンがシリコン基板 1に注入されて形成されたものである。この B^+ イオンは、シリコン基板 1中での拡散係数が大きい。

【0007】

そのため、半導体装置の熱処理工程で、ソース／ドレイン拡張層 92が横方向及び深さ方向に拡がってしまい、ゲート長に対して実効チャネル長 (L_{eff}) が大きく減少するという問題があった。

特に、pMOSトランジスタ (以下で、電界効果トランジスタともいう) 95の微細化がゲート長 $0.13\mu m$ 程度にまで進むと、この B^+ イオンの拡散による実効チャネル長の減少が無視できなくなり、パンチスルーの多発や、リーク電流の増大等の短チャネル効果が顕著になるおそれがあった。短チャネル効果が顕著になると、 $0.13\mu m$ 世代以降の微細化が困難となる。

【0008】

そこで、本発明は、このような従来技術の問題点を解決したものであって、電

界効果トランジスタの実効チャネル長の減少をある程度抑制できるようにすると共に、半導体装置の微細化をさらに進展できるようにした半導体装置及びその製造方法の提供を目的とする。

【 0 0 0 9 】

【課題を解決するための手段】

上記した課題を解決するために、本発明に係る請求項 1 に記載の半導体装置は、半導体層上に設けられたゲート絶縁膜と、このゲート絶縁膜上に設けられたゲート電極と、このゲート電極の両側にある半導体層に設けられたソース・ドレイン領域とを備え、このソース・ドレイン領域は、ゲート電極の両側にある半導体層に特定の不純物が導入されて設けられた第 1 の不純物拡散層と、この第 1 の不純物拡散層のゲート電極側とは反対側の半導体層に連続して設けられた第 2 の不純物拡散層とから構成され、第 1 の不純物拡散層には、特定の不純物の半導体層への拡散を抑制する拡散抑制用の不純物が導入されていることを特徴とするものである。

【 0 0 1 0 】

本発明に係る請求項 1 に記載の半導体装置によれば、ソース・ドレイン領域を構成する第 1 の不純物拡散層に特定の不純物の拡散を抑制する拡散抑制用の不純物が導入されているので、この第 1 の不純物拡散層の横方向及び深さ方向への拡がりを抑制することができる。従って、この第 1 の不純物拡散層の拡がりによる実効チャネル長の減少をある程度抑えることができ、半導体装置の微細化をさらに進展させることができる。

【 0 0 1 1 】

本発明に係る請求項 2 に記載の半導体装置は、請求項 1 に記載の半導体装置において、ゲート電極下の半導体層に拡散抑制用の不純物が導入されていることを特徴とするものである。

本発明に係る請求項 2 に記載の半導体装置によれば、第 1 の不純物拡散層からゲート電極下の半導体層への特定の不純物の拡散を、当該ゲート電極下の半導体層側からも抑制することができるので、請求項 1 に記載の半導体装置よりもさらに実効チャネル長の減少を抑制することができる。

【0012】

本発明に係る請求項3に記載の半導体装置の製造方法は、半導体層にゲート絶縁膜を形成する工程と、このゲート絶縁膜上にゲート電極を形成する工程と、このゲート電極をマスクにして、特定の不純物の半導体層への拡散を抑制する拡散抑制用の不純物を半導体層に導入する工程と、この拡散抑制用の不純物が導入された半導体層に特定の不純物を導入して、第1の不純物拡散層を形成する工程と、この第1の不純物拡散層が形成された半導体層のゲート電極から所定の距離だけ離れた領域に任意の不純物を導入して第2の不純物拡散層を形成する工程とを有することを特徴とするものである。

【0013】

本発明に係る請求項3に記載の半導体装置の製造方法によれば、第1の不純物拡散層の横方向及び深さ方向への拡がりを抑制することができる。従って、実効チャンネル長の減少をある程度抑えることができる。

本発明に係る請求項4に記載の半導体装置の製造方法は、特定の不純物の半導体層への拡散を抑制する拡散抑制用の不純物を半導体層に導入すると共に、当該半導体層にゲート絶縁膜を形成する工程と、このゲート絶縁膜上にゲート電極を形成する工程と、このゲート電極をマスクにして特定の不純物を半導体層に導入し第1の不純物拡散層を形成する工程と、この第1の不純物拡散層が形成された半導体層のゲート電極から所定の距離だけ離れた領域に任意の不純物を導入して第2の不純物拡散層を形成する工程とを有することを特徴とするものである。

【0014】

本発明に係る請求項4に記載の半導体装置の製造方法によれば、ゲート電極下の半導体層にも拡散抑制用の不純物を導入しているので、当該ゲート電極下の半導体層側からも特定の不純物の拡散を抑制できる。従って、請求項3に記載の半導体装置の製造方法よりもさらに実効チャンネル長の減少を抑制することができる。

【0015】

本発明に係る請求項5に記載の半導体装置の製造方法は、請求項4に記載の半導体装置の製造方法において、拡散抑制用の不純物を半導体層に導入すると共に

、当該半導体層にゲート絶縁膜を形成する工程は、この拡散抑制用の不純物を含むゲート絶縁膜を半導体層に形成して当該拡散抑制用の不純物を該半導体層に拡散させる工程であることを特徴とするものである。

【0016】

本発明に係る請求項5に記載の半導体装置の製造方法によれば、拡散抑制用の不純物を半導体層に導入する工程と、当該半導体層にゲート絶縁膜を形成する工程とを、拡散抑制用の不純物を含むゲート絶縁膜を半導体層に形成する一工程により行うので、請求項4に記載の半導体装置の製造方法と比べて、工程数が少なくて済む。

【0017】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。図1は、本発明の第1の実施形態に係る半導体装置100の構成例を示す断面図である。

(1) 第1実施形態

図1に示す半導体装置100は、例えば、n型のシリコン基板1上にゲート長 $0.13\mu\text{m}$ のpMOSトランジスタ50を複数備えたLSIである。この半導体装置100は、例えばデジタルカメラやノートパソコン等の低消費電力が特に望まれる電子機器に搭載して好適な装置である。

【0018】

図1に示すように、このpMOSトランジスタ50はLDD (Lightly Doped Drain) 構造になされており、n型のシリコン基板1と、このシリコン基板1上に設けられたゲート酸化膜3と、このゲート酸化膜3上に設けられたゲート電極5と、このゲート電極5の両側のシリコン基板1に設けられたp型のソース/ドレイン拡張層(ソース/ドレイン エクステンション)7と、このソース/ドレイン拡張層7のゲート電極5側とは反対側のシリコン基板1に連続して設けられたp型のソース/ドレイン層9とから構成されている。

【0019】

以下で、ソース/ドレイン拡張層7をp⁻層7といい、このソース/ドレイン層9をp⁺層9という。pMOSトランジスタ50では、このp⁻層7とp⁺層

9 からソース・ドレイン領域が構成されている。そして、これらの p 層 7 及び P⁺層 9 には、拡散抑制用の不純物が導入されている。

図 1 において、シリコン基板 1 は例えば単結晶シリコンからなるものである。このシリコン基板 1 には、リン等の不純物が少量添加され n 型になされている。また、ゲート酸化膜 3 は、このシリコン基板 1 が酸素 (O₂) 雰囲気中で熱酸化されて形成されたシリコン酸化膜 (SiO₂) である。このゲート酸化膜 3 の膜厚は、例えば 100 Å 程度である。

【0020】

図 1 に示すように、ゲート電極 5 はゲート酸化膜 3 上に設けられている。このゲート電極 5 は、例えば少量のリンが添加された多結晶シリコンからなるものである。このゲート電極 5 の表面は酸化膜でおおわれており、特に、その側壁部にはサイドウォールと呼ばれる絶縁性の側壁膜が設けられている。図 1 において、このサイドウォール 11 は、例えばシリコン酸化膜である。

【0021】

p 層 7 は、シリコン基板 1 に p 型の特定の不純物が導入されて形成されたものである。この特定の不純物とは、例えばボロン (B⁺) イオンである。後で詳述するが、この p 層 7 は、サイドウォール 11 形成前にゲート電極 5 をマスクにしてシリコン基板 1 に B⁺イオンを注入し、その後、窒素雰囲気中でアニールすることによって形成される。

【0022】

p⁺層 9 は、シリコン基板 1 に p 型の任意の不純物が導入されて形成されたものである。この任意の不純物とは、例えば B⁺イオンである。後で詳述するが、この p⁺層 9 は、サイドウォール 11 とゲート電極 5 をマスクにして、p 層 7 に B⁺イオンを注入し、その後、窒素雰囲気中でアニールすることによって形成される。従って、p⁺層 9 の不純物 (B⁺) 濃度は p 層 7 よりも高濃度である。

【0023】

このように、pMOS トランジスタ 50 は LDD 構造になされており、ソース・ドレイン領域全体 (p 層 7 及び p⁺層 9) の電気抵抗が抑えられた状態で、

チャネルと接する p 層 7 の拡散層が浅くなされている。これにより、短チャネル効果の低減が図られ、p MOS トランジスタのゲート長はサブミクロンクラスにまで縮小可能になされている。

【0024】

さらに、この p MOS トランジスタ 50 では、p 層 7 及び p 層 9 に、拡散抑制用の不純物の一例となる窒素 (N⁺) イオンが導入されている。一般に、B⁺イオンと N⁺イオンは共にシリコン (Si) 中の格子間 Si (点欠陥) を介して拡散することが知られている。Si 中に N⁺イオンが存在すると、B⁺イオンよりも N⁺イオンが先に点欠陥を介して拡散する。

【0025】

従って、p 層 7 に N⁺イオンが導入されていることによって、p 層 7 を構成する B⁺イオンの横方向 (X-Y 方向) 及び深さ方向 (Z 方向) への拡散を N⁺イオンによってある程度抑制することができる。これにより、p 層 7 の拡がりによる実効チャネル長 (Leff) の減少をある程度抑えることができる。また、ソース/ドレイン拡張層 (p 層) 7 とチャネル領域との極浅接合も可能である。それゆえ、0.13 μm 世代以降の半導体装置の微細化を進展させることができる。

【0026】

この第 1 実施形態では、n 型のシリコン基板 1 が本発明の半導体層に対応し、ゲート酸化膜 3 が本発明のゲート絶縁膜に対応している。また、ソース/ドレイン拡張層 (p 層) 7 が本発明の第 1 の不純物拡散層に対応し、ソース/ドレイン層 (p 層) 9 が本発明の第 2 の不純物拡散層に対応している。さらに、特定の不純物は B⁺イオンに対応し、拡散抑制用の不純物は N⁺イオンに対応している。

【0027】

次に、本発明の第 1 の実施形態に係る半導体装置 100 の製造方法について説明する。図 2 (A) ~ 図 3 (C) は半導体装置 100 の製造方法を示す工程図である。ここでは、図 1 に示した半導体装置 100 を図 2 (A) ~ 図 3 (C) の工程図に沿って製造する場合を想定する。

図2 (A) において、まず始めに、シリコン基板1を用意する。次に、このシリコン基板1に図示しないウェル拡散層や素子分離層を順次形成する。そして、このシリコン基板1の表面を酸素雰囲気中で熱酸化して、ゲート酸化膜3を約100 Å程度の厚みに形成する。さらに、このゲート酸化膜3上に多結晶シリコン膜を形成する。この多結晶シリコン膜の形成は、例えばCVDにより行う。そして、この多結晶シリコン膜にリン等の不純物を所定量だけイオン注入して、所定の導電性を持たせる。

【0028】

次に、この多結晶シリコン膜をフォトリソグラフィ技術及びエッチング技術を用いてパターンニングし、図2 (B) に示すようにチャネルとなる領域のゲート酸化膜3上にゲート電極5を形成する。ここでエッチング技術とは、例えばRIE (Reactive Ion Etching) 等のドライエッチングである。図2 (B) に示すゲート電極5を形成した後、このシリコン基板1を熱酸化してゲート電極5表面に薄いシリコン酸化膜 (図示せず) を形成する。

【0029】

次に、図2 (C) に示すように、このゲート電極5をマスクにして、シリコン基板1の浅い領域に窒素 (N^+) イオンをイオン注入する。 N^+ イオンの注入エネルギーは例えば10 KeV程度であり、ドーズ量は例えば $2 \times 10^{15} / \text{cm}^2$ 程度である。このとき、図2 (C) に示すように、 N^+ イオンをシリコン基板1に対して、例えば 30° の傾斜をもって注入すると良い。これにより、チャネル領域となるゲート電極5下のシリコン基板1に N^+ イオンを回り込ませることができる。

【0030】

次に、図3 (A) に示すように、 N^+ イオンが注入されたシリコン基板1の浅い領域にp層7を形成するための B^+ イオンを注入する。この B^+ イオンの注入は、ゲート電極5をマスクにして行う。ここで、 B^+ イオンの注入エネルギーは例えば1 KeV程度であり、ドーズ量は例えば $2 \times 10^{15} / \text{cm}^2$ 程度である。また、この B^+ イオンの注入角度は例えば 0° 程度である。

また、この B^+ イオンの注入工程の前後で、このシリコン基板1にパンチスル

一対策として、リン (P^+) イオン等の不純物を注入しても良い。これにより、パンチスルー対策層 (図示せず) を形成できる。

【0031】

次に、図3 (B) に示すように、このシリコン基板1上にCVDでシリコン酸化膜15を形成する。そして、このシリコン酸化膜15を異方性のドライエッチングでエッチバックして、ゲート電極5の側壁部に図3 (C) に示すようなサイドウォール11を形成する。

次に、図3 (C) に示すように、このサイドウォール11が形成されたゲート電極5をマスクにして、 p^+ 層を形成するための B^+ イオンをシリコン基板1の深い領域まで注入する。この B^+ イオンの注入工程では、注入エネルギーは例えば8 KeV程度であり、ドーズ量は例えば $2 \times 10^{15} / \text{cm}^2$ 程度である。また、この B^+ イオンの注入角度は例えば 0° 程度である。

【0032】

その後、この B^+ イオンが注入されたシリコン基板1を、窒素 (N_2) 等の不活性ガス雰囲気中で熱処理 (アニール) して、シリコン基板1に注入された N^+ イオンや B^+ イオンを活性化しながら拡散させる。このアニール工程では、シリコン基板1に注入された窒素 (N^+) イオンによって、ボロン (B^+) イオンは横方向及び深さ方向への拡散が抑制される。このアニール工程によって、 p^- 層7のゲート電極5から所定の距離だけ離れた領域に p^+ 層9 (図1参照) が形成される。

【0033】

そして、このアニール処理後に、図示しない層間絶縁膜やプラグ電極、メタル配線等を形成して、図1に示した半導体装置100が完成する。この半導体装置100の製造方法では、ゲート電極5をマスクにしてシリコン基板1の浅い領域に窒素 (N^+) イオンを注入しているので、シリコン基板1に形成される p^- 層7の横方向及び深さ方向への拡散を抑制できる。

【0034】

つまり、図7に示した従来方式のpMOSトランジスタ95と比べて、 p^- 層の拡がりによる実効チャネル長の減少を抑制できる ($L_{eff}' < L_{eff}$)

。また、これと同時に、 p^- 層 7 の拡散層深さ X_j の増大も抑制できる。従って、パンチスルーや、ゲートリーク等の短チャネル効果がある程度抑制することができ、半導体装置のさらなる微細化を進展させることができる。

(2) 第 2 実施形態

次に、本発明の第 2 の実施形態に係る半導体装置 200 について説明する。図 4 は半導体装置 200 の構成例を示す断面図である。ここでは、図 1 に示した半導体装置 100 において、ゲート電極 5 下のチャネル領域にも窒素を導入する場合を前提とする。他の条件は第 1 実施形態と同様である。従って、図 4 において、半導体装置 100 と同一の構造及び機能を有するものには同一符号を付し、その詳細説明を諸略する。

【0035】

図 4 に示すように、この半導体装置 200 は、例えば、 n 型のシリコン 1 基板上にゲート長 $0.13\mu\text{m}$ の $p\text{MOS}$ トランジスタ 60 を複数備えた ULSI である。この $p\text{MOS}$ トランジスタ 60 は LDD 構造になされており、 n 型のシリコン基板 1 と、このシリコン基板 1 上に設けられたゲート絶縁膜 23 と、このシリコン絶縁膜 23 上に設けられたゲート電極 5 と、このゲート電極 5 周辺のシリコン基板 1 に設けられた p^- 層 7 と、この p^- 層 7 に隣接してシリコン基板 1 に設けられた p^+ 層 9 とから構成されている。

【0036】

ここで、ゲート絶縁膜 23 は、図 1 に示した半導体装置 100 とは異なり、例えば、窒素 (N^+) イオンを十分に含むシリコン酸化窒化膜 (SiON) である。図 4 に示す半導体装置 200 では、シリコン基板 1 上に形成される SiON によって、シリコン基板 1 の浅い領域に N^+ イオンが拡散される。つまり、半導体装置 200 では、 p^- 層 7 や p^+ 層 9、そしてゲート電極 5 下のシリコン基板 1 の浅い領域にも N^+ イオンが導入されている。以下で、この N^+ イオンが拡散したシリコン基板 1 の浅い領域を窒素拡散層 13 ともいう。

【0037】

図 4 に示す半導体装置 200 では、この窒素拡散層 13 と p^- 層 7 とが重なっているため、 p^- 層 7 における N^+ イオンの横方向 ($X-Y$ 方向) 及び深さ方向

(Z方向)への拡散は N^+ イオンによって抑制される。さらに、この半導体装置200では、ゲート電極5下のシリコン基板1、即ちチャネル領域も窒素拡散層13と重なっているので、p層7からチャネル領域への B^+ イオンの拡散をチャネル領域側からも抑制できる。従って、この半導体装置200は、半導体装置100よりもp層7の拡がりを抑えることができ、実効チャネル長の減少をさらに抑制できる。

【0038】

また、この半導体装置200では、ゲート絶縁膜23にシリコン酸化窒化膜(SiON)を用いている。このシリコン酸化窒化膜(SiON)はシリコン酸化膜(SiO_2)に比べて誘電率が高いので、pMOSトランジスタ60のパフォーマンスも向上できる。

次に、本発明の第2の実施形態に係る半導体装置200の製造方法について説明する。図5(A)～図6(C)は半導体装置200の製造方法を示す工程図である。ここでは、図4に示した半導体装置200を図5(A)～図6(C)の工程図に沿って製造する場合を想定する。

【0039】

図5(A)において、まず始めに、シリコン基板1を用意し、このシリコン基板1に図示しないウェル拡散層や素子分離層を順次形成する。次に、酸素(O_2)及び窒素(N_2)を含む混合ガス雰囲気中で、このシリコン基板1に熱処理を施して、ゲート絶縁膜(SiON)23を約100Å程度の厚みに形成する。

ここで、N含有率は4%程度であり、 SiO_2 膜への窒素の導入方法としては熱酸化のみで形成してもランプアニールを併用してもよい。酸化温度は例えば900°程度である。このとき、図5Aの矢印で示すように、ゲート絶縁膜(SiON)23中の窒素(N^+)イオンがシリコン基板1側に熱拡散して、シリコン基板1の浅い領域に窒素拡散層13が形成される。

【0040】

次に、図5(B)に示すように、このゲート絶縁膜23上に多結晶シリコン膜を形成する。そして、この多結晶シリコン膜にリン等の不純物を所定量だけイオン注入して、所定の導電性を持たせる。さらに、この多結晶シリコン膜をパター

ニングして、図 5 (C) に示すようにチャネルとなる領域のゲート絶縁膜 23 上にゲート電極 5 を形成する。

【0041】

図 5 (C) に示すゲート電極 5 を形成した後に、このシリコン基板 1 を熱酸化してゲート電極 5 表面に薄いシリコン酸化膜 (図示せず) を形成する。次に、図 6 (A) に示すように、ゲート電極 5 をマスクにして、 N^+ イオンが導入されたシリコン基板 1 に p^- 層形成用の B^+ イオンを注入する。そして、図 6 (B) に示すように、このシリコン基板 1 上に CVD でシリコン酸化膜 15 を形成する。

【0042】

次に、このシリコン酸化膜 15 を異方性のドライエッチングでエッチバックしてサイドウォール 11 を形成する。そして、このサイドウォール 11 が形成されたゲート電極 5 をマスクにして、シリコン基板 1 に p^+ 層形成用の B^+ イオンを注入する。その後、この B^+ イオンが注入されたシリコン基板 1 を、窒素 (N_2) 等の不活性ガス雰囲気中で熱処理 (アニール) して、シリコン基板 1 に注入された N^+ イオンや B^+ イオンを活性化しながら拡散させる。

【0043】

このアニール工程では、ゲート絶縁膜 ($SiON$) 23 からシリコン基板 1 に拡散された N^+ イオンによって、 B^+ イオンは横方向及び深さ方向への拡散が抑制される。また、この N^+ イオンは、 $pMOS$ トランジスタ 60 のチャネル領域にも導入されているので、 p^- 層 7 からチャネル領域への B^+ イオンの拡散をチャネル領域内部からも抑制できる。

【0044】

このアニール工程によって、 p^- 層 7 のゲート電極 5 から所定の距離だけ離れた領域に p^+ 層 9 (図 4 参照) が形成される。そして、このアニール処理後に、図示しない層間絶縁膜やプラグ電極、メタル配線等を形成して、図 4 に示した半導体装置 200 が完成する。

この半導体装置 200 の製造方法では、シリコン基板 1 への N^+ イオンの注入工程とゲート絶縁膜 23 の形成工程とを、シリコン酸化窒化膜 ($SiON$) を形成することで行っているため、半導体装置 100 の製造方法と比べて、工程数が

少なくとも済むという利点がある。

【0045】

また、この半導体装置 200 では、ゲート絶縁膜 23 にシリコン酸化窒化膜 (SiON) を用いている。これにより、ゲート電極 5 に B⁺イオンが含まれている場合でも、このゲート電極 5 からシリコン基板 1 への B⁺イオンの拡散をゲート絶縁膜 23 (SiON) 中の N⁺イオンである程度阻止することができる。

尚、上述の第 2 実施形態では、シリコン基板 1 に N⁺イオンを導入する手段として、シリコン酸化窒化膜 (SiON) 23 を用いる場合について説明したが、これに限られることはない。例えば、このシリコン酸化窒化膜 23 と、第 1 実施形態で説明した N⁺イオンのイオン注入とを併用して、シリコン基板 1 に N⁺イオンを注入しても良い。N⁺イオンをさらに効率よくシリコン基板 1 に導入できる。

【0046】

また、上述の第 1、第 2 の実施形態では、本発明の拡散抑制用の不純物として N⁺イオンを用いる場合について説明したが、これに限られることはない。拡散抑制用の不純物は、例えば F⁺イオンでも良い。さらに、本発明の特定の不純物は B⁺イオンに限られることなく、例えば BF₂⁺イオンでも良い。

LDD 構造を有する半導体装置 100 又は、200 において、B⁺イオンや BF₂⁺イオンで構成される p⁻層 7 に、N⁺イオンや F⁺イオンを導入することによって、この p⁻層 7 の横方向 (X-Y 方向) 及び深さ方向 (Z 方向) への拡がりがある程度抑制することができる。

【0047】

【発明の効果】

以上説明したように、本発明によれば、ゲート電極の両側にある半導体層に特定の不純物が導入されて設けられた第 1 の不純物拡散層には、この特定の不純物の半導体層への拡散を抑制する拡散抑制用の不純物が導入されているので、この第 1 の不純物拡散層の横方向及び深さ方向への拡がりを抑制することができる。

【0048】

従って、この第 1 の不純物拡散層の拡がりによる実効チャネル長の減少をある

程度抑えることができ、短チャネル効果を抑制することができる。これにより、半導体装置の微細化をさらに進展させることができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態に係る半導体装置 1 0 0 の構成例を示す断面図である。

【図 2】 半導体装置 1 0 0 の製造方法（その 1）を示す工程図である。

【図 3】 半導体装置 1 0 0 の製造方法（その 2）を示す工程図である。

【図 4】 本発明の第 2 の実施形態に係る半導体装置 2 0 0 の構成例を示す断面図である。

【図 5】 半導体装置 2 0 0 の製造方法（その 1）示す工程図である。

【図 6】 半導体装置 2 0 0 の製造方法（その 2）を示す工程図である。

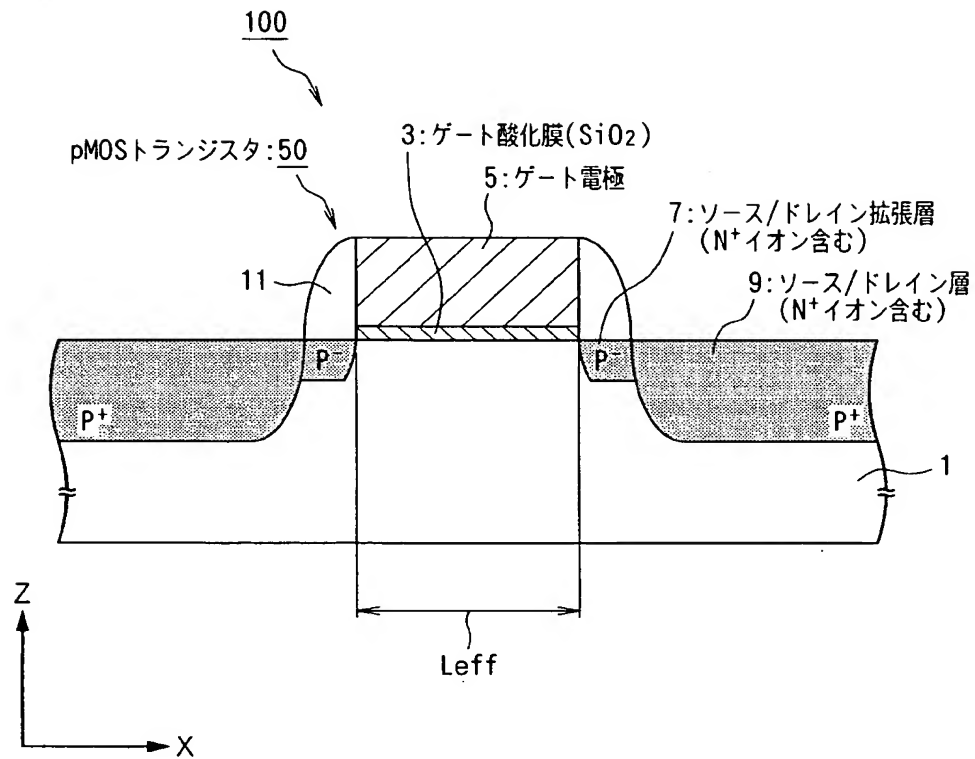
【図 7】 従来例に係る半導体装置 9 0 の構成例を示す断面図である。

【符号の説明】

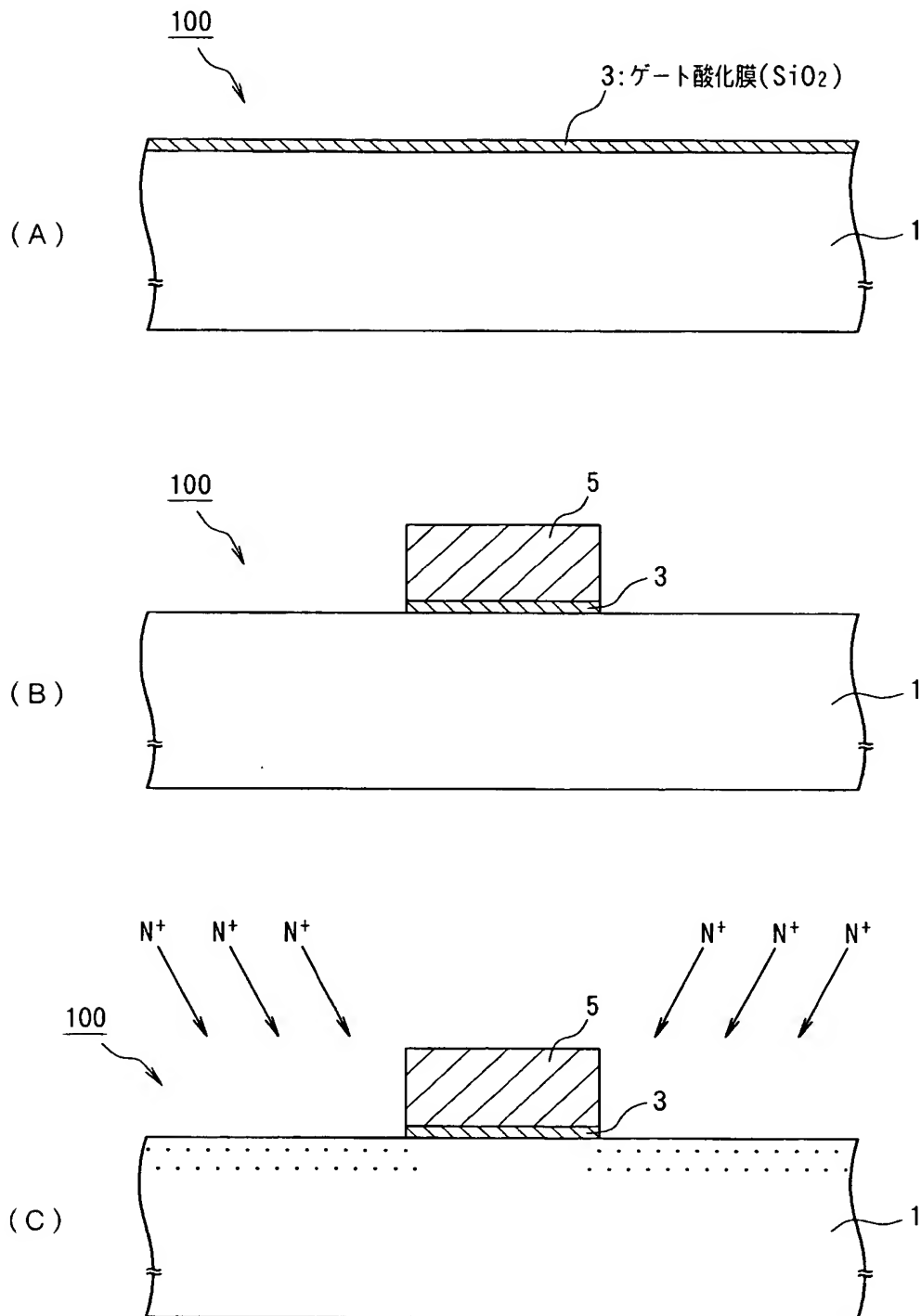
1 シリコン基板、3 ゲート酸化膜、5 ゲート電極、7 p⁻層、9 p⁺層、11 サイドウォール、13 窒素拡散層、23 ゲート絶縁膜、50、60 pMOS トランジスタ、100、200 半導体装置

【書類名】 図面

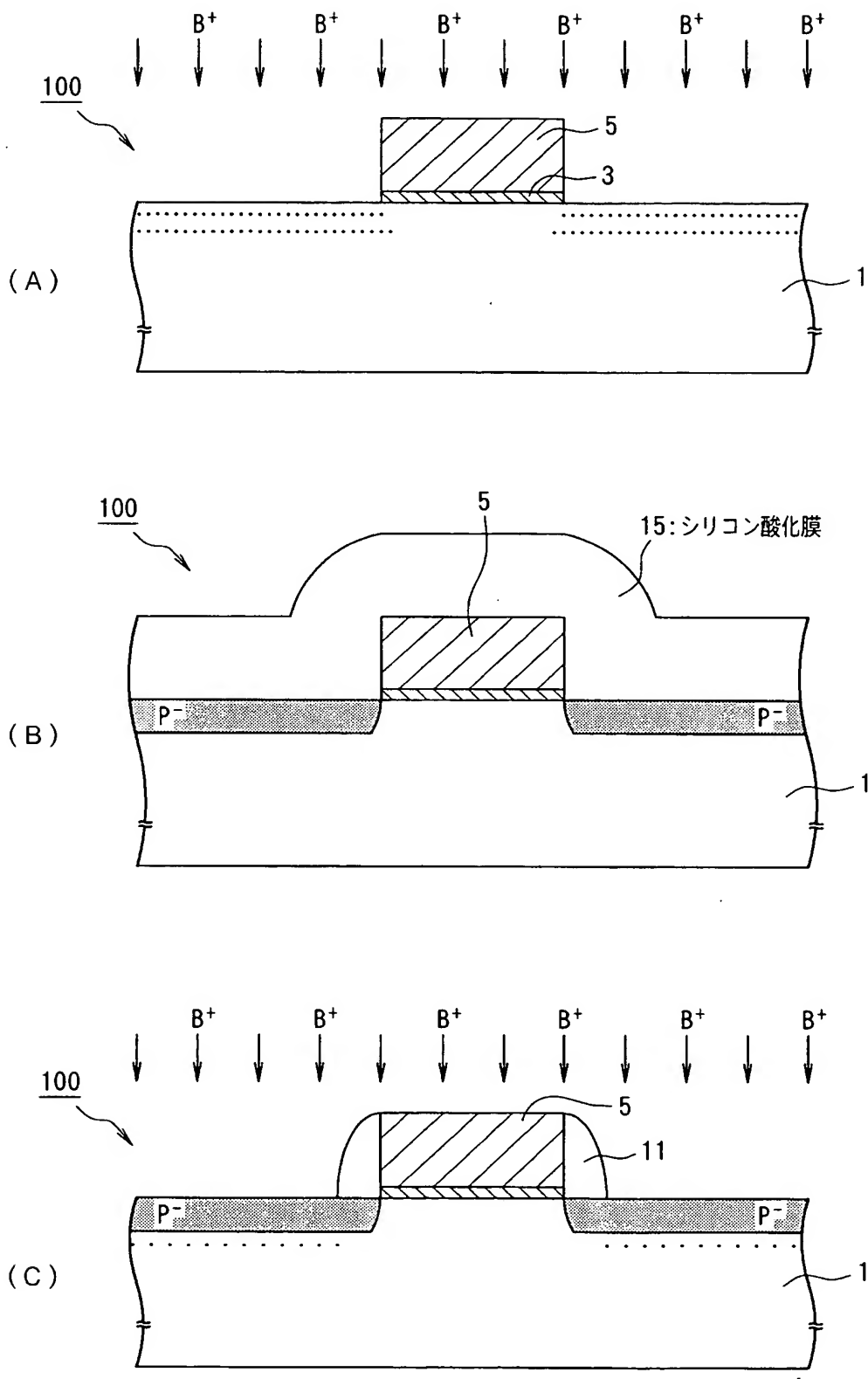
【図 1】



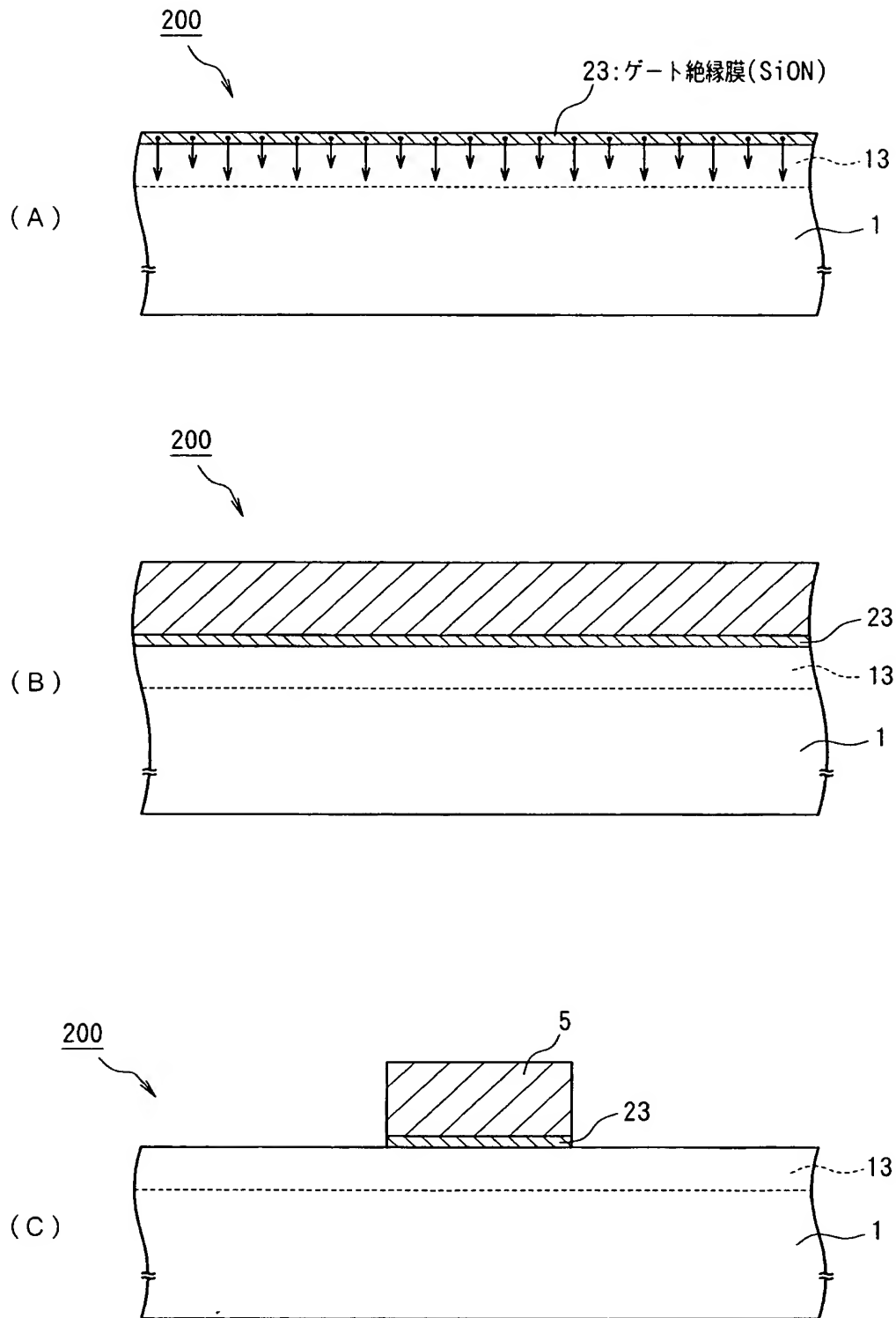
【図 2】



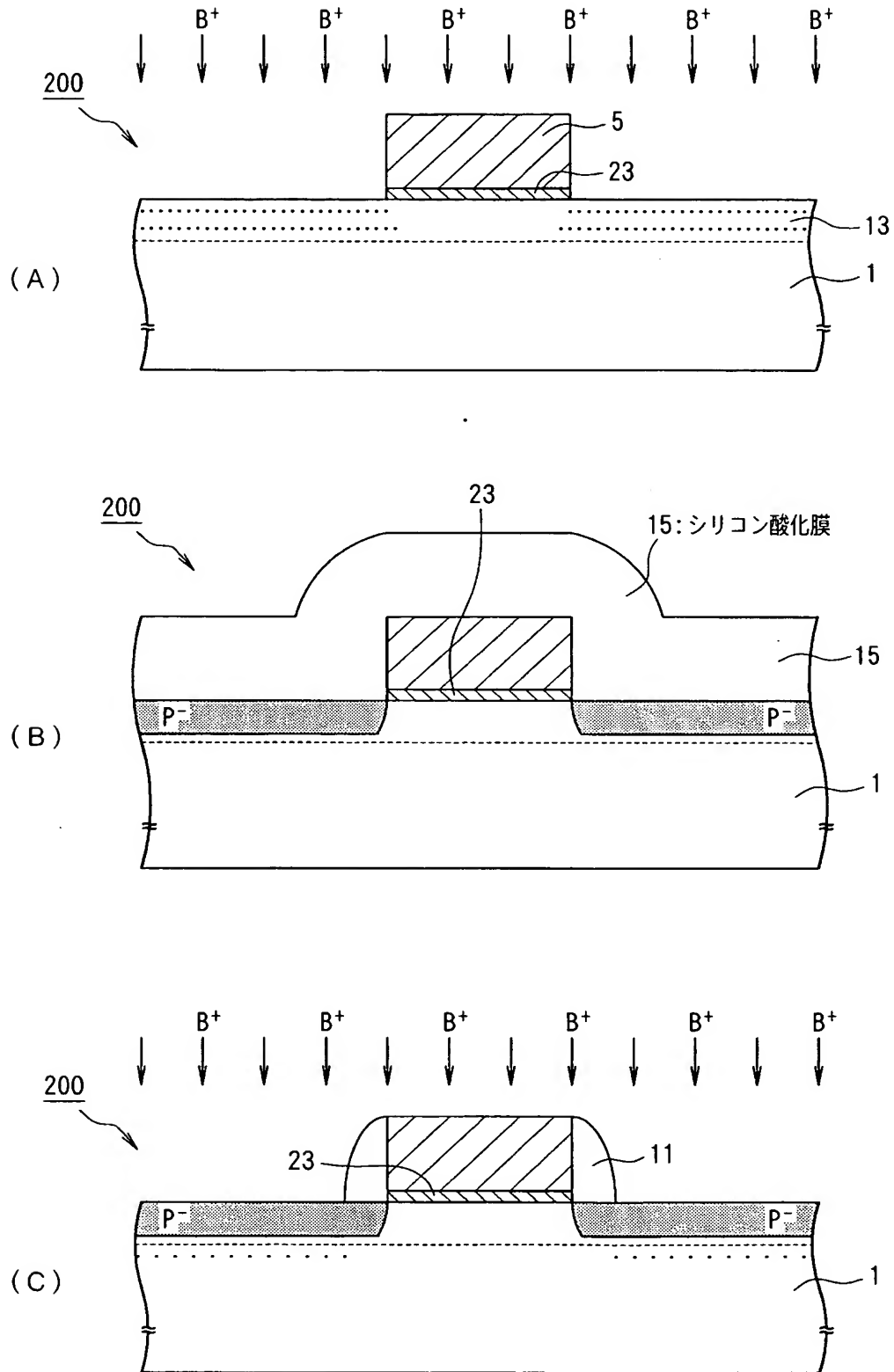
【図 3】



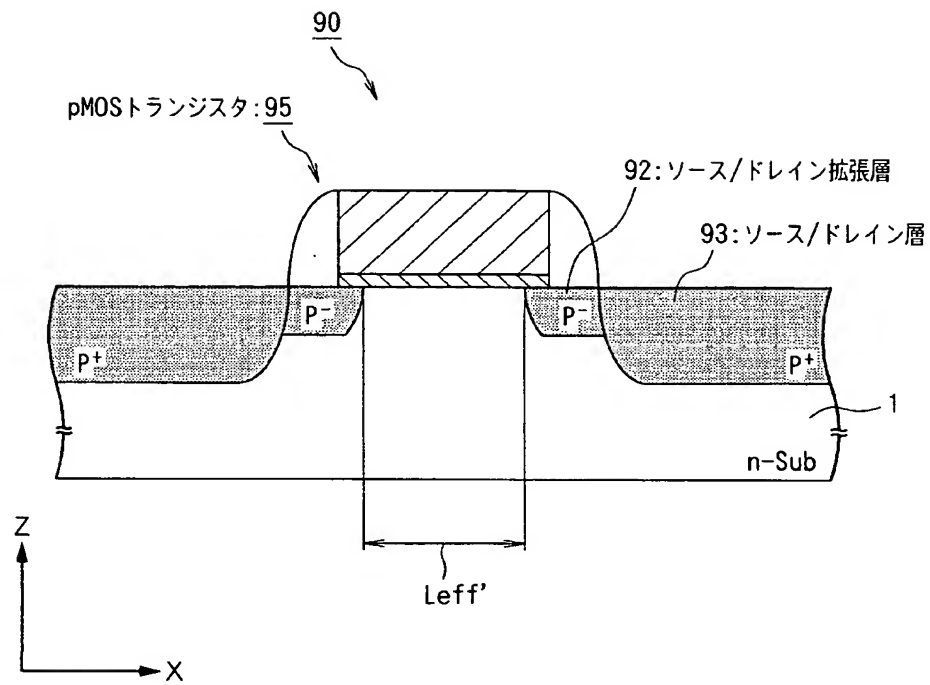
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 不純物拡散層の拡がりによる実効チャネル長の減少をある程度抑制できるようにすると共に、半導体装置の微細化をさらに進展できるようにする。

【解決手段】 N型のシリコン基板 1 上に設けられたゲート酸化膜 3 と、このゲート酸化膜 3 上に設けられたゲート電極 5 と、このゲート電極 5 の両側にあるシリコン基板 1 に設けられたソース・ドレイン領域とを備え、このソース・ドレイン領域は、ゲート電極 5 の両側にあるシリコン基板 1 に B⁺イオンが導入されて設けられた p⁻層 7 と、この p⁻層 7 のゲート電極 5 側とは反対側のシリコン基板 1 に連続して設けられた p⁺層 7 とから構成され、p⁻層 7 には B⁺イオンのシリコン基板 1 への拡散を抑制する N⁺イオンが導入されたものである。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 0 5 8 5 9
受付番号	5 0 3 0 0 0 4 4 6 9 9
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 月 1 5 日

< 認定情報・付加情報 >

【提出日】 平成15年 1月14日

特願 2 0 0 3 - 0 0 5 8 5 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社